

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-128829

⑬ Int.Cl.⁴

H 04 J 3/16

識別記号

庁内整理番号

6914-5K

⑭ 公開 昭和63年(1988)6月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 タイムスロット割当方式

⑯ 特 願 昭61-275950

⑰ 出 願 昭61(1986)11月18日

⑱ 発 明 者	高 山 美 知 男	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	石 川 裕 次	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	吉 田 薫	東京都港区芝5丁目33番1号	日本電気株式会社内
⑳ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
㉑ 代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称

タイムスロット割当方式

2. 特許請求の範囲

おのれの複数のデータ速度を選択可能な複数チャネルの入力信号を所定の個数のタイムスロットから成るフレーム毎に時分割多重化するよう各前記チャネルに前記タイムスロットを割当てるタイムスロット割当方式において、

一つの前記チャネルの通信開始直前毎に与えられる該チャネルの前記フレーム当りの前記タイムスロットの所要個数を示すデータを含んだ割当要求信号に回答して前記フレーム内の未割当てタイムスロットを検出し該未割当てタイムスロットの個数が前記所要個数以上である限り該チャネルに前記未割当てタイムスロットを前記所要個数だけ割当てるタイムスロット割当回路を備えていることを特徴とするタイムスロット割当方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はタイムスロット割当方式、特に複数のチャネルから入力する多種類の速度のデータ群を時分割多重化する際に各チャネルへのタイムスロットの割当てを行うためのタイムスロット割当方式、に関する。

〔従来の技術〕

従来のこの種のタイムスロット割当方式は、時分割多重化後のデータ速度を最低速のデータ速度の n 倍(n は予め設定した自然数)に設定し、多重化データを n ビット毎に区切ってフレームとし、各フレーム内で各速度のデータが均等な間隔でビットを使用するよう、各チャネルへのタイムスロットを割当てている。各入力データの速度が、最低速のデータ速度に対し、フレームのビット数 n の約数倍であれば、このような均等割当てが可能である。

〔発明が解決しようとする問題点〕

上述した従来のタイムスロット割当方式は、通

信サービスの多様化に伴い入力データの速度が多様化した場合、均等割当てを行うためのアルゴリズムが複雑化して割当てに要する時間が増大すると共に、未使用のタイムスロットがかなり多い段階で割当て不能になる確率が高くなり、通信量の効率の低下を招来するという問題点をもつ。

本発明の目的は、上述の問題点を解決し多様な入力データ速度に対し従来よりも割当てに要する時間が短くて済み且つ未使用のタイムスロットが多い段階で割当て不能になることの無いタイムスロット割当て方式を提供することにある。

〔問題点を解決するための手段〕

本発明の方式は、おののおの複数のデータ速度を選択可能な複数チャネルの入力信号を所定の個数のタイムスロットから成るフレーム毎に時分割多重化するよう各前記チャネルに前記タイムスロットを割当てるタイムスロット割当て方式において、

一つの前記チャネルの通信開始直前毎に与えられる該チャネルの前記フレーム当りの前記タイムスロットの所要個数を示すデータを含んだ割当て要

求信号に応じて該チャネルへのタイムスロットの割当ておよびタイムスロット割当ての解除を行う。まず、あるチャネルの通信開始直前に、該チャネルのチャネル(CH)番号、所要タイムスロット数(通信速度から決定される)、および通信開始を示すデータの割当て要求信号を、タイムスロット割当て回路3の書込制御回路30に与える。書込制御回路30には、読出制御回路31から各タイムスロット毎に、該タイムスロットがフレーム内の何番目であるかを示すアドレスデータが与えられていると共に、割当て指定回路33から各タイムスロット毎に、該タイムスロットが何番目のチャネルに割当てられているかを示す信号a_i、ないしa_Nと該タイムスロットが未使用(未割当て)であることを示す信号b_iとが与えられている。第2図(a)は、通信開始時の割当て要求信号が到来した時の多重化回路2の入力データおよび信号b_iを例示している。例えばチャネルCH-1の割当て要求時に、所定の個数のタイムスロットから成るフレ

ーム内に、チャネルCH-1以外のチャネル回路1から到来するデータDが現われるタイムスロットと、未使用で無データφのタイムスロットとがある。信号b_iは、無データφのタイムスロットでパルス立上りを生じるパルス信号である。書込制御回路30は、アドレスデータおよび信号b_iによって、未使用のタイムスロットの各番号および個数を検知する。その個数が通信開始チャネルの所要タイムスロット数を受容できるだけ有れば、書込制御回路30は、該チャネルの番号を示すCH番号データを、無データφのタイムスロットの先頭の方から所要個数分だけメモリ回路32へ送り書込させる。メモリ回路32は、フレーム内におけるタイムスロット番号に対応するアドレスを設定した書込み読出し両用メモリ(BAM)を具備しており、読出制御回路31から与えられるアドレスデータで示されたアドレスの格納箇所

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図であり、第2図(a)および(b)はその動作を例示するタイミング図である。

第1図において、第1番目のチャネルCH-1ないし第N番目のチャネルCH-Nの各入力データはおののおの、チャネル回路1に送られる。各チャネル回路1は、タイムスロット割当て回路3から与えられる信号a_iないしa_Nで指定されたタイムスロット毎に入力データを順次送出する機能を有する。各チャネル回路1の送出データは、多重化回路2で時分割多重化されて、多重化信号として出力される。

タイムスロット割当て回路3は、各チャネルの通

ーム内には、チャネルCH-1以外のチャネル回路1から到来するデータDが現われるタイムスロットと、未使用で無データφのタイムスロットとがある。信号b_iは、無データφのタイムスロットでパルス立上りを生じるパルス信号である。書込制御回路30は、アドレスデータおよび信号b_iによって、未使用のタイムスロットの各番号および個数を検知する。その個数が通信開始チャネルの所要タイムスロット数を受容できるだけ有れば、書込制御回路30は、該チャネルの番号を示すCH番号データを、無データφのタイムスロットの先頭の方から所要個数分だけメモリ回路32へ送り書込させる。メモリ回路32は、フレーム内におけるタイムスロット番号に対応するアドレスを設定した書込み読出し両用メモリ(BAM)を具備しており、読出制御回路31から与えられるアドレスデータで示されたアドレスの格納箇所

ロット割当てを行なったあと、チャネルCH-1の通信を開始する。読出し制御回路31は、予め設定したタイムスロットの時間長 τ を周期とするクロック信号に応じて、メモリー回路32のRAMのアドレスを順次に指定するためのアドレスデータを発生し、書込制御回路30およびメモリー回路32に送っている。このアドレスデータでメモリー回路32のRAMから読出されたCH番号データは、割当て指定回路33へ送られる。割当て指定回路33は、CH番号データをデコードするためのデコードをもっており、各チャネルのチャネル回路1の送信タイムスロットを指定する信号 a_1 、ないし a_N を発生し、該当チャネル回路1へ送ると共に、書込制御回路30にも送る。また、未割当てのタイムスロットを示す信号 b は、書込制御回路30のみに送られる。第2図(b)は、同図(a)における未割当てタイムスロットのうちの先頭から4個のタイムスロットをチャネルCH-1に割当てたあとの通信時を例示しており、チャネルCH-1以外からのデータD、チャネルCH-1のデ

ータ d 、および残余の未割当ての無データ ϕ の各タイムスロットが、多重化回路2の入力データに現われる。チャネルCH-1に割当てたタイムスロットは、信号 a_1 のパルス立上り期間で指定されている。

あるチャネルの通信終了時には、該チャネルのCH番号および通信終了を示す割当て要求信号を書込制御回路30に与える。書込制御回路30は、信号 a_1 、ないし a_N のうち該チャネルの送信タイムスロットを指定しているもののパルス立上り期間に、未割当てを示すCH番号データをメモリー回路32へ送って書込させることにより、該チャネルのタイムスロット割当てを解除する。

以上に説明した本実施例は、タイムスロット割当て回路3においてフレーム中の未割当てのタイムスロットを検知し、被割当てチャネルの通信速度を受容可能であればタイムスロットを割当てていく。このタイムスロット割当てによれば、従来の均等割当て方式のような複雑なアルゴリズムは不必要であり、且つ従来方式で生じる被割当てチャ

ネルの通信速度を受容できるだけの個数の未割当てタイムスロットが有るにも拘らず均等割当ては不可能になるという行詰りもなくなる。従って、従来方式の場合よりも通信量の効率を向上することができる。

〔発明の効果〕

以上説明したように本発明には、多様な入力データ速度に対処し従来のように未使用のタイムスロットが多い段階で割当て不能になることの無いタイムスロット割当て方式を実現できる効果がある。

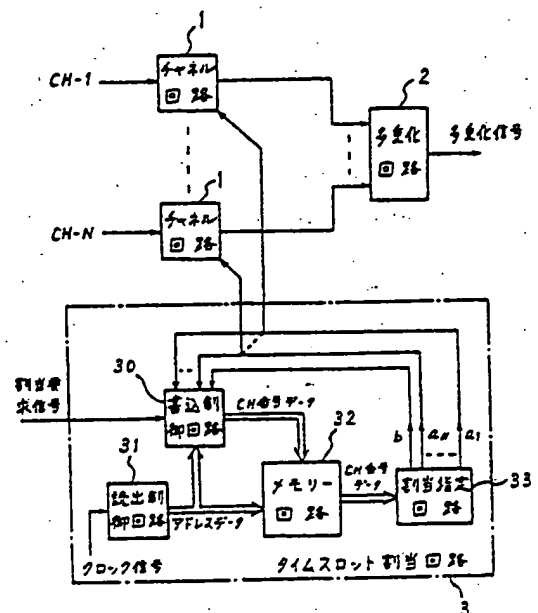
4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図(a)および(b)は本発明の実施例の動作を例示するタイミング図である。

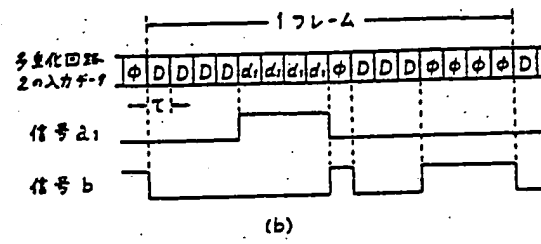
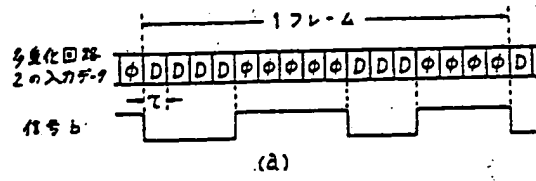
1……チャネル回路、2……多重化回路、3……タイムスロット割当て回路、30……書込制御回路、31……読出し制御回路、32……メモリー回路、33……割当て指定回路。

代理人 弁理士 内 原 晋

弁理士
内原 晋



第1図



第 2 図

FULL TRANSLATION OF JAPANESE UNEXAMINED PATENT PUBLICATION

(KOKAI) NO. 63-128829

Title of the Invention: Time Slot Assignment System

Publication Date: June 1, 1988

Patent Application No.: 61-275950

Filing Date: November 18, 1986

Applicants: Nippon Denki K.K. (NEC Corporation)

2. SCOPE OF CLAIM FOR PATENT

A time slot assignment system which, in performing time division multiplexing of plural channels of input signal each being capable of selecting one of plural data signaling rates by frames consisting of a predetermined number of time slots, assigns said time slots to each of said channels, characterized in that said system comprises a time slot assignment circuit which, in response to assignment request signal that is given just before the start of communication in the channel and contains data indicating required number of said time slots per said frame for one of said channels, detects unassigned time slots in said frame and assigns said required number of said unassigned time slots to the channel as long as the number of said unassigned time slots is equal to or greater than said required number.

3. DETAILED DESCRIPTION OF THE INVENTION

[Field of the Invention]

The present invention relates to a time slot assignment system, and more particularly to a time slot assignment system for assigning time slots to each channel when performing time division multiplexing on data group with plural kinds of signaling rate that is input from plural channels.

[Prior Art]

A conventional time slot assignment system of this kind

sets data signaling rate after time division multiplexing to n times the lowest data signaling rate (n is a preset natural number), divides multiplexed data at every n bits to form a frame, and assigns time slots to each channel so that data with various signaling rates may use bits at equal time interval in each frame. If signaling rate of each input data is m times the lowest data signaling rate, where m is a measure of the number of bits n per frame, such an equal assignment of time slots is possible.

[Problems to be Solved by the Invention]

The conventional time slot assignment system as described above has a problem in that, as communication service becomes more and more diverse and signaling rate of input data is diversified accordingly, the algorithm for performing equal assignment of time slots becomes more complicated and requires increasingly more time for assignment, and probability of occurrence of assignment disable state may become high at an early stage where there are considerably many unused time slots, leading to the reduction of communication efficiency.

It is an object of the present invention to resolve the problem as described above and to provide a time slot assignment system that requires less time for assignment than before, and can avoid occurrence of assignment disable state at an early stage where there are many unused time slots.

[Means for Solving the Problems]

A system according to the present invention is a time slot assignment system which, in performing time division multiplexing of plural channels of input signal each being capable of selecting one of plural data signaling rates by frame consisting of a predetermined number of time slots, assigns said time slots to each of said channels, characterized in that said system comprises a time slot assignment circuit which, in response to assignment request signal that contains data indicating required number of said time slots per said frame for one of said channels given just

before the start of communication in the channel, detects unassigned time slots in said frame and assigns said required number of said unassigned time slots to the channel as long as the number of said unassigned time slots is equal to or greater than said required number.

[Preferred Embodiments]

Next, the present invention will be described with reference to drawings.

Figure 1 is a block diagram showing an embodiment of the present invention; and Figs. 2(a) and 2(b) are timing charts illustrating the operation of the embodiment.

In Fig. 1, each input data of the first channel CH-1 to the n-th channel CH-N are sent to the respective channel circuits 1. Each channel circuit 1 has the function of sending out input data sequentially at each time slot designated by the signal a_1 to a_n given from a time slot assignment circuit 3. Data sent out from each channel circuit 1 are subjected to time division multiplexing in a multiplexing circuit 2, and are output as multiplexed signal.

The time slot assignment circuit 3 performs, just before the start of communication and just after the end of communication in each channel, time slot assignment to the channel and release of the time slot assignment to the channel, respectively. First, just before the start of communication in a channel, an assignment request signal containing channel (CH) number of the channel, required number of time slots (determined by communication speed), and data indicating the start of communication is given to a write control circuit 30 of the time slot assignment circuit 3. To the write control circuit 30 are given, from read control circuit 31, address data indicating for each time slot what number the time slot is in a frame, and from an assignment designation circuit 33, signal a_1 to a_n indicating for each time slot to what channel the time slot is assigned, and signal b indicating that the time slot is unused (unassigned). Figure 2(a) illustrates input data of the

multiplexing circuit 2 and signal b when the assignment request signal at the start of communication arrive. For example, when assignment request of channel CH-1 arises, there are time slots where data D from channel circuits 1 other than the channel CH-1 appear and time slots that are unused and have null data ϕ . The signal b is a pulse signal which produce a pulse rise-up in the time slot with null data ϕ . The write control circuit 30 detects time slot No. of unused time slot and the total number of unused time slots from address data and the signal b. If the total number is sufficient to accept the required number of time slots for the communication starting channel, the write control circuit 30 sends the CH No. data indicating the channel number of the channel beginning from the top of time slots with null data ϕ for the required number, and causes them to be written into a memory circuit 32. The memory circuit 32 comprises a random access memory (RAM) in which addresses corresponding to the time slot Nos. in a frame are set, and writes the CH number data sent from the write control circuit 30 into the storing position of the address indicated by the address data given by the read control circuit 31. Upon writing of this CH number data, time slots are assigned to the communication starting channel, for example to the channel CH-1, and then communication in the channel CH-1 is started. The read control circuit 31 generates address data for designating sequentially the address of RAM in the memory circuit 32 in response to the clock signal with preset time length τ of a time slot as period, and sends them to write control circuit 30 and memory circuit 32. The CH number data read out from the RAM of the memory circuit 32 are sent to the assignment designation circuit 33. The assignment designation circuit 33 that has a decoder for decoding the CH number data generates signals a_1 to a_n for designating the transmission time slot of the channel circuit 1 of each channel and send them to the relevant channel circuit 1 as well as to the

write control circuit 30. The signal b indicating unassigned time slots is sent only to the write control circuit 30. Figure 2(b) illustrates an example of communication after top 4 unassigned time slots in Fig. 2(a) have been assigned to the channel CH-1, and data D from channels other than the channel CH-1, data d_1 from the channel CH-1, and remaining unassigned time slots with null data ϕ , appear in the input data to the multiplexing circuit 2. The time slots assigned to the channel CH-1 are designated by the pulse rise-up period of signal a_1 .

When communication of a channel comes to an end, an assignment request signal indicating CH number of the channel and the end of communication is given to the write control circuit 30. The write control circuit 30 releases the assignment of time slots to the channel by sending the CH number data indicating non-assignment to the memory circuit 32 and causing them to be written into signal a_1 to a_n in the pulse rise-up period designating the transmission time for the channel.

In accordance with the present embodiment as described in the foregoing, the time slot assignment circuit 3 detects unassigned time slots in a frame and assigns time slots if the communication speed of the assigned channel can be accepted. According to this method for time slot assignment, complicated algorithm as in the conventional equal assignment system is not necessary. The problem associated with the conventional system that equal assignment becomes impossible at an early stage with sufficient number of unassigned time slot for accepting the communication speed of the channel can be eliminated. This leads to an improvement of efficiency of communication volume over the conventional system.

[Effects of the Invention]

As described above, the present invention has the effect of providing a time slot assignment system that is capable of dealing with diverse input data rates and eliminating the problem of occurrence of assignment disable state at an early

stage of many unused time slots.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a block diagram showing an embodiment of the present invention; and Figs. 2(a) and 2(b) are timing charts illustrating the operation of the embodiment of the present invention.

[Reference Numeral]

1----channel circuit,

2----multiplexing circuit,

3----time slot assignment circuit,

30----write control circuit,

31----read control circuit,

32----memory circuit,

33----assignment designation circuit.